

**METHOD OF MANUFACTURING PROBE CARD**

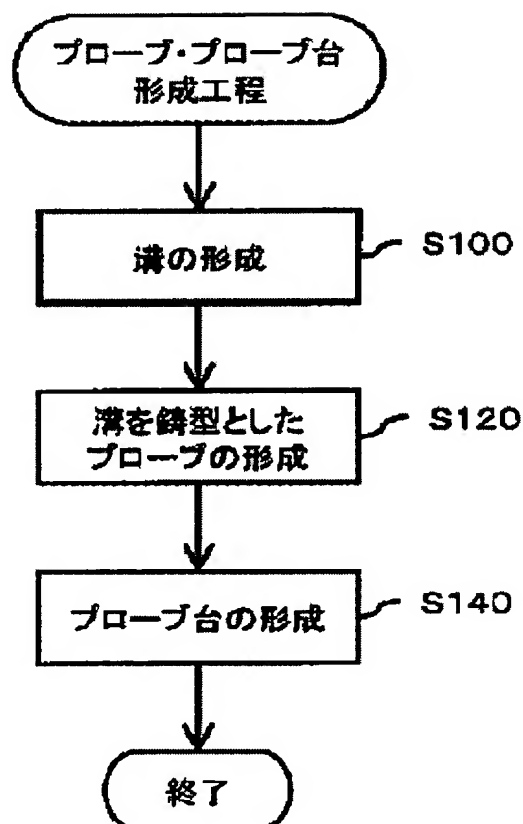
**Patent number:** JP2002257859  
**Publication date:** 2002-09-11  
**Inventor:** TAKIZAWA HIROYUKI; KAZAWA ERITO; UENO TAKESHI  
**Applicant:** TOKYO CATHODE LABORATORY CO LTD;; TOKYO METROPOLIS  
**Classification:**  
- international: G01R1/073; H01L21/66  
- european:  
**Application number:** JP20010055655 20010228  
**Priority number(s):**

Report a data error here

**Abstract of JP2002257859**

**PROBLEM TO BE SOLVED:** To provide a method wherein a probe card, in which many probes having a small contact area with an electrode pad are arranged at narrow pitches is manufactured with satisfactory efficiency.

**SOLUTION:** Grooves in the required number of portions of probes are formed on the surface of a substrate composed of silicon (process S100). A conductive material is formed in the grooves, and the probes are formed by using the grooves as a mold (process S120). After that, the substrate is removed, in such a way that parts up to prescribed lengths of the probes are exposed, and a probe base composed of the remaining substrate is formed (process S140). Thereby, a plurality of probes can be formed collectively on the probe base, and the probe card can be formed with satisfactory efficiency, even if the number of probes is increased.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-257859

(P2002-257859A)

(43)公開日 平成14年9月11日(2002.9.11)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

テマコード\*(参考)

G 0 1 R 1/073

G 0 1 R 1/073

E 2 G 0 1 1

H 0 1 L 21/66

H 0 1 L 21/66

B 4 M 1 0 6

審査請求 未請求 請求項の数3 O L (全 9 頁)

(21)出願番号 特願2001-55655(P2001-55655)

(22)出願日 平成13年2月28日(2001.2.28)

(71)出願人 391051441

株式会社東京カソード研究所

東京都板橋区板橋1丁目10番14号

(74)上記1名の代理人 100075258

弁理士 吉田 研二 (外2名)

(71)出願人 591043581

東京都

東京都新宿区西新宿2丁目8番1号

(72)発明者 滝沢 広幸

東京都板橋区板橋1丁目10番14号 株式会社東京カソード研究所内

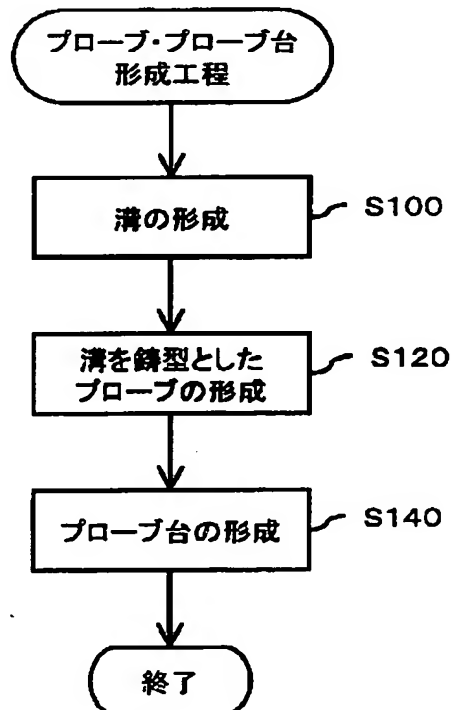
最終頁に続く

(54)【発明の名称】 プローブカードの製造方法

(57)【要約】

【課題】 電極パッドとの接触面積が小さい多数のプローブが狭ピッチで配列されたプローブカードを効率良く製造すること。

【解決手段】 珪素からなる基板の表面に必要なプローブの本数分の溝を形成し(工程S100)、これらの溝に導電性材料を形成し、溝を鑄型としてプローブを形成する(工程S120)。その後、プローブの所定長さまでの部位が露出するように基板を除去し、残った基板からなるプローブ台を形成する(工程S140)。こうすれば、複数のプローブを一括してプローブ台に形成することができるので、プローブの数が増加しても効率良く形成することができる。



## 【特許請求の範囲】

【請求項 1】 電子素子チップの電気的特性の検査を行なうときに一方の端部が前記電子素子チップに接触して前記電子素子チップと電気的に接続され他方の端部側が前記検査を行なう検査装置と電気的に接続される導電性材料からなるプローブと、前記プローブの前記他方の端部側を支持するプローブ台と、を備えるプローブカードの製造方法であって、

エッチング法により、前記プローブに適合する形状の複数の溝を基板の表面に形成する溝形成工程と、

前記各溝を鋳型として所定の厚さの導電性材料を積層し、複数のプローブを形成するプローブ形成工程と、前記プローブの前記一方の端部から所定長さまでの部位が露出するよう前記基板の一部を除去し、残余の前記基板からなるプローブ台を形成するプローブ台形成工程と、を備えることを特徴とするプローブカードの製造方法。

【請求項 2】 前記基板は、前記表面の結晶面が {100} 面のシリコン基板であり、

前記溝形成工程は、アルカリ性の溶液を用いた異方性エッチング法により前記基板の前記表面に複数の溝を形成する工程であることを特徴とする請求項 1 に記載のプローブカードの製造方法。

【請求項 3】 前記基板は、表面の結晶面が {100} 面のシリコン基板であり、

前記プローブ台形成工程は、アルカリ性の溶液を用いた異方性エッチング法により前記基板の一部を除去する工程であることを特徴とする請求項 1 又は 2 に記載のプローブカードの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、電子素子チップの電気的特性の検査を行なうときに電子素子チップと検査装置とを電気的に接続する複数のプローブを備えるプローブカードの製造方法に関する。

## 【0002】

【従来の技術】 従来より半導体チップの電気的特性の検査を行なう際に、検査対象の半導体チップの電極パッドとほぼ同じ数のタングステン線からなるプローブを備え、これらプローブを介して検査装置と半導体チップとを電気的に接続するプローブカードが広く用いられている。このようなプローブを用いた検査は、各プローブの一方の先端部を半導体チップの各電極パッドに押し当てると共に他方の端部を検査装置と電気的に接続して行なわれる。各プローブは、互いに接触しないように所定の間隔をもって他方の端部側がプローブ台に取りつけられている。近年、半導体チップの電極パッドの数の増加、サイズの減少、配列間隔の狭ピッチ化が進んでいる。そのため、このような半導体チップに対応するため、先端径の小さいプローブを多数狭ピッチでプローブ台に取り

つける必要がある。従来、各プローブをプローブ台に取り付ける方法として、タングステン線をプローブ台に一本ずつ取り付けする方法が行なわれていた。

## 【0003】

【発明が解決しようとする課題】 しかしながら、従来の方法では、半導体チップの電極パッド数が増加するとプローブ台に取り付けるプローブの数も増加するので、取り付け作業量も増加するという問題があった。

【0004】 また、電極パッドのサイズが減少すると、電極パッドとの接触面積が小さいプローブが必要となる。特に、先端径が 20 [ $\mu\text{m}$ ] 以下のプローブが必要な場合、そのような先端径のタングステン線を形成することが難しいという問題があった。

【0005】 そして、電極パッド間の配列間隔の狭ピッチ化が進み、特に間隔が 50 [ $\mu\text{m}$ ] 以下となると、従来の方法では、各プローブを互いに当たらないようにプローブ台に取りつけることが難しいという問題があった。

【0006】 本発明は、上記課題を解決するためになされたものであり、電極パッドとの接触面積が小さい多数のプローブが狭ピッチで配列されたプローブカードを効率良く製造することを目的とする。

## 【0007】

【課題を解決するための手段】 本発明のプローブカードの製造方法は、電子素子チップの電気的特性の検査を行なうときに一方の端部が前記電子素子チップに接触して前記電子素子チップと電気的に接続され他方の端部側が前記検査を行なう検査装置と電気的に接続される導電性材料からなるプローブと、前記プローブの前記他方の端部側を支持するプローブ台と、を備えるプローブカードの製造方法であって、エッチング法により、前記プローブに適合する形状の複数の溝を基板の表面に形成する溝形成工程と、前記各溝を鋳型として所定の厚さの導電性材料を積層し、複数のプローブを形成するプローブ形成工程と、前記プローブの前記一方の端部から所定長さまでの部位が露出するよう前記基板の一部を除去し、残余の前記基板からなるプローブ台を形成するプローブ台形成工程と、を備えることを特徴とする。

【0008】 本発明のプローブカードの製造方法では、基板表面にプローブに適合する形状の複数の溝をエッチング法により形成し、この溝を鋳型にして複数のプローブを形成し、プローブの所定長さまでの部位が露出するように基板を除去し基板をプローブ台とする。こうすれば、必要なプローブの数が増加しても、各プローブを一括してプローブ台に形成することができるので効率よくプローブカードを形成することができる。また、エッチング法を用いると精密な形状の複数の溝を狭ピッチで形成することができるので、電子素子チップとの接触面積の小さいプローブを狭ピッチでプローブ台に配列させることができる。

## 3

【0009】本発明のプロブカードの製造方法において、前記基板は、前記表面の結晶面が{100}面のシリコン基板であり、前記溝形成工程は、アルカリ性の溶液を用いた異方性エッチング法により前記基板の前記表面に複数の溝を形成する工程としてもよい。こうすれば、溝は、内壁面が{111}結晶面からなる精密な形状のV字型の溝として形成される。この結果、断面形状が精密なV字型をしたプロブを形成することができる。

【0010】また、本発明のプロブカードの製造方法において、前記基板は、表面の結晶面が{100}面のシリコン基板であり、前記プロブ台形成工程は、アルカリ性の溶液を用いた異方性エッチング法により前記基板の一部を除去する工程としてもよい。こうすれば、基板から露出するプロブの長さをより正確に制御することができる。

## 【0011】

【発明の実施の形態】以下、本発明の実施の形態（以下実施形態という）を、図面に従って説明する。尚、各図において同一又は同一の機能を果たす構成要件には同一

の符号を付し説明を省略する。

【0012】図1は、本実施形態のプロブカードの製造工程のうち、半導体チップと接触するプロブとプロブ台とを形成するプロブ・プロブ台形成工程を示すフローチャートである。本工程は、珪素(Si)からなり表面が{100}結晶面である基板に必要なプロブの個数と同じ数の溝を形成する溝形成工程(工程S100)から始める。

【0013】図2は、図1に示した溝形成工程の詳細を示すフローチャートである。また、図3は、工程S106を終えたときの基板を示す平面図であり、図4は、図3のAA線での断面図、図5は、図3のBB線での断面図である。そして、図6は、工程S110を終えたときの基板を示す平面図であり、図7は、図6のAA線での断面図、図8は、図6のBB線での断面図である。最初に、珪素(Si)からなる基板10の表面に二酸化珪素(SiO<sub>2</sub>)からなる絶縁膜12aを形成する(工程S102)。次に、レジスト層14を形成し、フォトリソグラフィ法を用いて、形成するプロブに必要な長さL、幅Wを持つ開口を備えるレジスト層14をパターニングする(工程S104)。そして、レジスト層14をマスクとして絶縁膜12aをエッチングする(工程S106、図3～図5)。

【0014】次に、レジスト層14と絶縁膜12aとをマスクとして、水酸化カリウム(KOH)溶液を用いて基板10を異方性エッチングして複数の溝16を形成し(工程S108)、レジスト層14を除去する(S110、図6～図8)。Siは、その結晶構造からKOH溶液のようなアルカリ溶液でエッチングすると、{100}面が{111}面より早くエッチングされる。その

## 4

ため、表面が{100}面の基板10をKOH溶液でエッチングすると、内壁が{111}面からなるV字型の溝16を形成することができる。しかも、二つの内壁のなす角度は、結晶面の角度で決まっているので、ほぼ正確に70.5度となる。このようにすることで、溝16は、形成するプロブの長さL、幅Wに適合する長さ幅を備え、しかも内壁の角度がほぼ正確に70.5度に形成される。尚、エッチングに用いる溶液としては、KOH溶液のほかに、ヒドラジン、EPW(エチレンジアミン・ピロカテコール・水)、TMAH(水酸化テトラメチルアンモニウム)などを用いてもよい。

【0015】このようにして溝16を形成したのち、次に、基板10の表面の溝16を鋳型としてプロブを形成する(図1の工程S120)。図9は、プロブ形成工程S120の詳細を示すフローチャートである。また、図10～図12は、工程S126を終えたときの基板を示す平面図、AA線での断面図、BB線での断面図である。そして、図13～図15は、工程S128を終えたときの基板を示す平面図、AA線での断面図、BB線での断面図である。また、図16～図18は、工程S132を終えたときの基板を示す平面図、AA線での断面図、BB線での断面図である。まず、溝16の内壁に基板10とプロブを絶縁するためのSiO<sub>2</sub>からなる絶縁膜12bを形成し(工程S122)、次に表面にスパッタ法を用いて後の無電解めっきの下地となる金からなる導電層20aを形成する(工程S124、図10～図12)。このとき、触媒として微量の鉄を混入させておく。尚、触媒付与の方法は、導電層20aを形成した後にスパッタ又は化学処理を施す方法を用いることもできる。また、下地は、金を材料とするものとしたが、金に限定したものではなく、無電解めっきの下地となる他の導電材料としてもよい。次に、表面にレジストを塗布して、フォトリソグラフィ法を用いて溝16上が開口した厚膜のレジスト層22を形成し(工程S126)、無電解めっき法を用いて溝16内に導電層20aを下地とする所定の厚さのニッケル(Ni)からなる導電体層20bを積層する(工程S128、図13～図15)。導電体層20bの材料は、Niに限定したものではなく、ニッケル・タングステン(Ni-W)などの他の導電性材料を用いてもよい。尚、工程S128では、無電解めっき法のほかに、電気めっき法など導電性材料を形成する他の方法を用いてもよい。その後、レジスト層22を除去し(工程S130)、導電層20aの不要な部位を除去し(工程S132、図16～図18)、導電層20aと導電層20bとからなるプロブ20を形成する。プロブ20は、内壁が{111}結晶面のV字型の溝16を鋳型として形成しているため、下面がほぼ正確なV字型に形成される。

【0016】プロブ20を形成した後、プロブ20を所定の長さL1だけ基板10から突き出し露出するよ

## 5

う基板 10 の一部を除去し、基板 10 からなるプローブ台を形成する（図 1 の工程 S 140）。図 19 は、プローブ台形成工程 S 140 の詳細を示すフローチャートである。また、図 20 は、工程 S 142 を終えたときの基板を示す平面図であり、図 21 は、図 20 の BB 線での断面図である。そして、図 22 は、工程 S 144 を終えたときの基板を示す平面図であり、図 23 は、図 22 の BB 線での断面図である。まず、刃幅 40 [ $\mu\text{m}$ ] 程度のブレードのダイサーを用いてプローブ 20 の露出させる部位の下方の基板 10 の厚さが D1 となるように、基板 10 の一部を削ると共にプローブ 20 の先端部を削る（工程 S 142、図 20、図 21）。このとき、プローブ 20 の先端部及び基板 10 を図 21 の CC 線や DD 線などで切断すると、プローブ 20 の先端部をより鋭角にすることができる。次に、KOH 溶液を用いて基板 10 を異方性エッチングして、プローブ 20 の一方の先端から長さ L1 分だけ露出させる（工程 S 144）。そして、基板 10 の表面に露出した絶縁膜 12a 上にマスク層を形成し、プローブ 20 の露出した部分の絶縁膜 12b を除去し（図 22、図 23）、残った基板 10 からなる

プローブ台 30 を形成する。工程 S 144 では、基板 10 の裏面の結晶面と工程 S 142 で削り露出した面の結晶面が {100} 面であるので、KOH 溶液に対して {100} 面が {111} 面より速くエッチングされる。従って、基板 10 は、図 23 に示すように {111} 面からなる V 字型の形状にエッチングされる。

【0017】プローブ台形成工程では、工程 S 142 で基板 10 の切削量を制御することでプローブ 20 のプローブ台から露出する長さ L1 を制御することができる。例えば、図 24 に示すように、基板の厚さ D2 を図 21

に示した厚さ D1 より厚くすると、図 24 において点線で示すように工程 S 144 を終えたとき露出するプローブ 20 の長さを図 21 で示すより短くすることができる。

【0018】このようにして形成したプローブ 20 は、検査の際にはプローブ台 30 を傾斜させ先端部の V 字型をした角部 26（図 23）を半導体チップの電極パッドに接触させるので、面積の小さい電極パッドにも好適に接触することができる。

【0019】以上説明した方法を用いると、複数のプロ

10

20

30

40

50

## 6

a、12b を基板 10 上に形成したが、基板 10 が水晶などの絶縁性の基板である場合は、絶縁膜 12a、12b の形成及び加工工程は省略することができる。

【0022】本実施形態の製造方法では、プローブを形成する工程（図 1 の工程 S 120）は、無電解めっき法を用いるものとしたが、例えば、パラジウム合金などを材料とするガラス金属の圧入によりプローブを溝 16 に形成してもよい。

【0023】本実施形態の製造方法では、プローブ台形成工程の工程 S 142 において基板 10 の一部を予めダイサーで除去したが、工程 S 142 は必ずしも必須ではなく、適宜省略することができる。

【0024】

【発明の効果】本発明のプローブカードの製造方法では、基板表面にプローブに適合する形状の複数の溝をエッチング法により形成し、この溝を鋳型にして複数のプローブを形成し、プローブの所定長さまでの部位が露出するように基板を除去し基板をプローブ台とする。こうすれば、複数のプローブを一括して形成することができるので、複数のプローブがプローブ台に支持されプローブカードを効率良く形成することができる。また、エッチング法を用いると精密な形状の複数の溝を狭ピッチで形成することができるので、電子素子チップとの接触面積の小さいプローブが狭ピッチでプローブ台に配列されたプローブカードを製造することができる。

【図面の簡単な説明】

【図 1】 本実施形態のプローブカードの製造工程のうち、半導体チップと接触するプローブとプローブ台とを形成するプローブ・プローブ台形成工程を示すフローチャートである。

【図 2】 図 1 に示した溝形成工程の詳細を示すフローチャートである。

【図 3】 工程 S 106 を終えたときの基板を示す平面図である。

【図 4】 図 3 の AA 線での断面図である。

【図 5】 図 3 の BB 線での断面図である。

【図 6】 工程 S 110 を終えたときの基板を示す平面図である。

【図 7】 図 6 の AA 線での断面図である。

【図 8】 図 6 の BB 線での断面図である。

【図 9】 プローブ形成工程 S 120 の詳細を示すフローチャートである。

【図 10】 工程 S 126 を終えたときの基板を示す平面図である。

【図 11】 図 10 の AA 線での断面図である。

【図 12】 図 10 の BB 線での断面図である。

【図 13】 工程 S 128 を終えたときの基板を示す平面図である。

【図 14】 図 13 の AA 線での断面図である。

【図 15】 図 13 の BB 線での断面図である。

【図16】 工程S132を終えたときの基板を示す平面図である。

【図17】 図16のAA線での断面図である。

【図18】 図16のBB線での断面図である。

【図19】 プローブ台形成工程S140の詳細を示すフローチャートである。

【図20】 工程S142を終えたときの基板を示す平面図である。

【図21】 図20のBB線での断面図である。

【図22】 工程S144を終えたときの基板を示す平面図である。

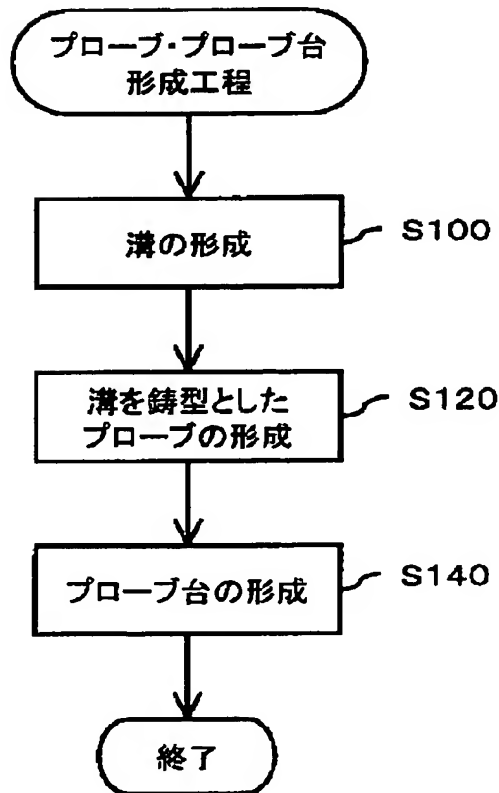
【図23】 図22のBB線での断面図である。

【図24】 図21において基板の厚さD2としたときの様子を示す断面図である。

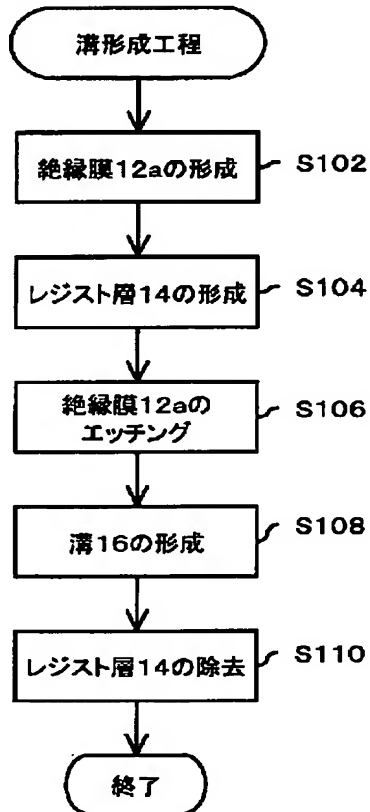
【符号の説明】

10 基板、16 溝、20a、20b 導電層、20 プローブ、30 プローブ台。

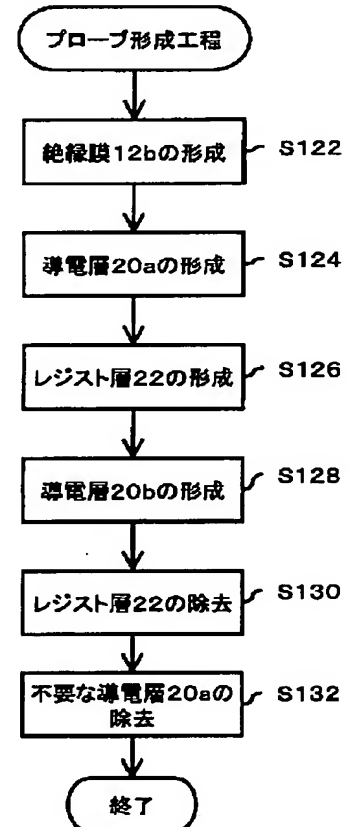
【図1】



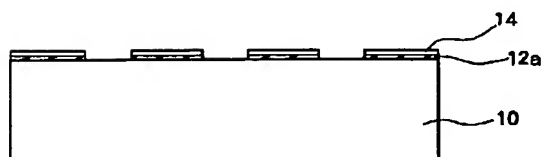
【図2】



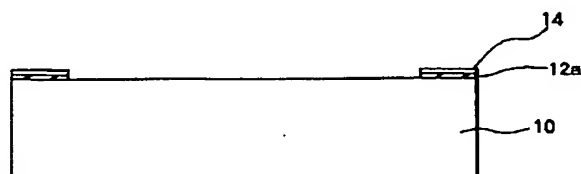
【図9】



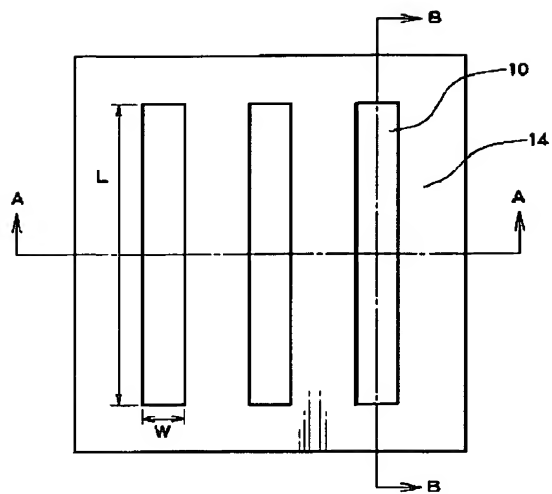
【図4】



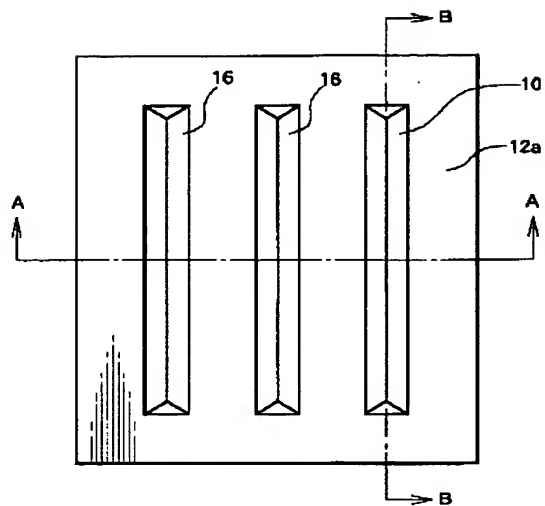
【図5】



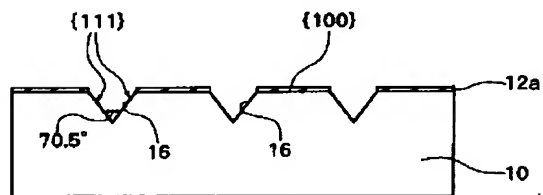
【図 3】



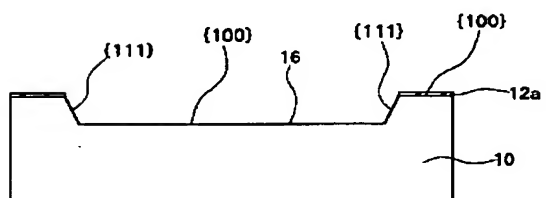
【図 6】



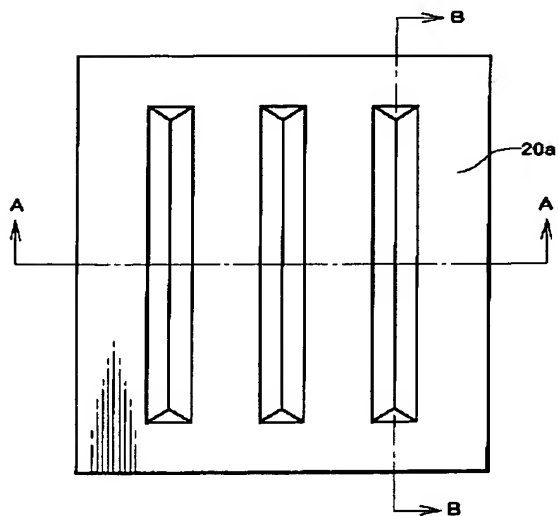
【図 7】



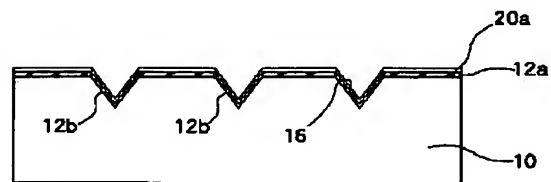
【図 8】



【図 10】



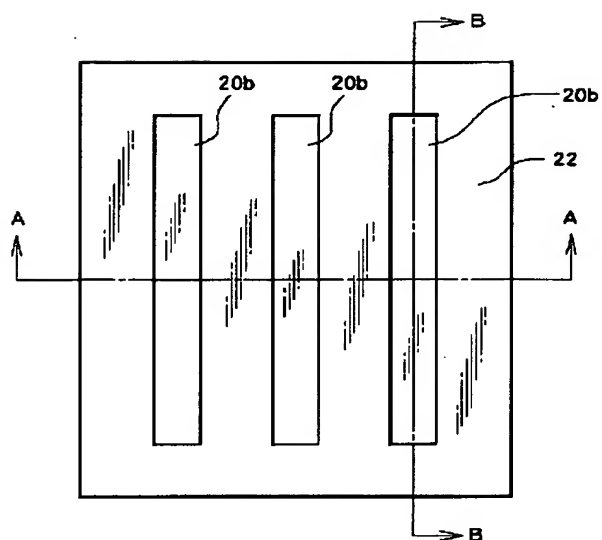
【図 11】



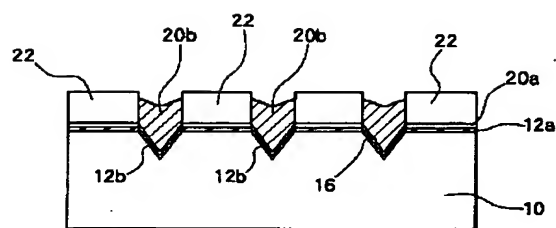
【図 12】



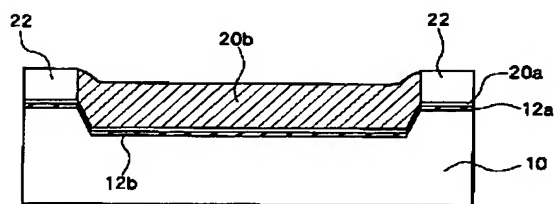
【図 13】



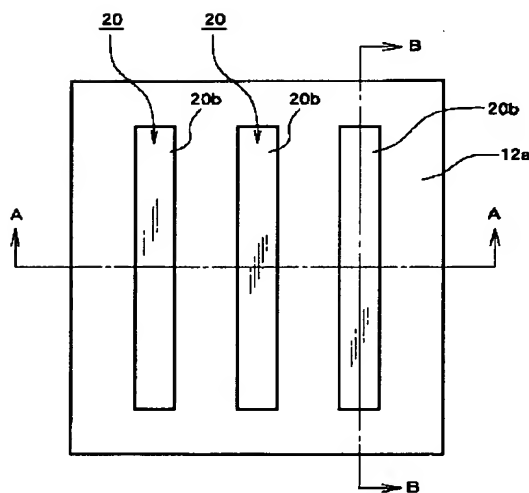
【図 14】



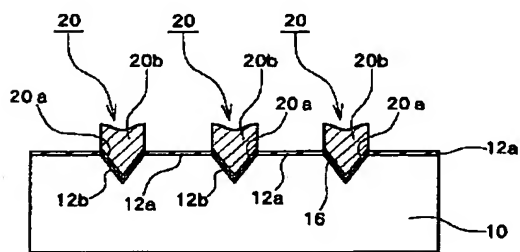
【図 15】



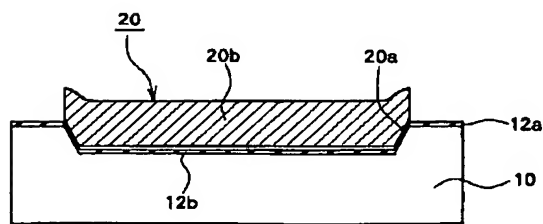
【図 16】



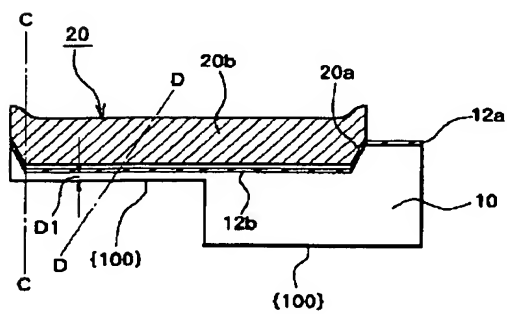
【図 17】



【図 18】

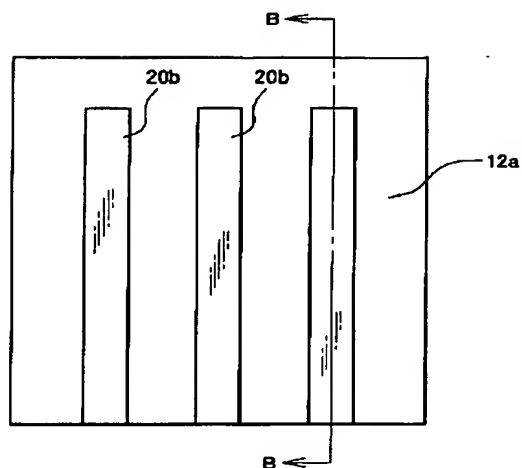
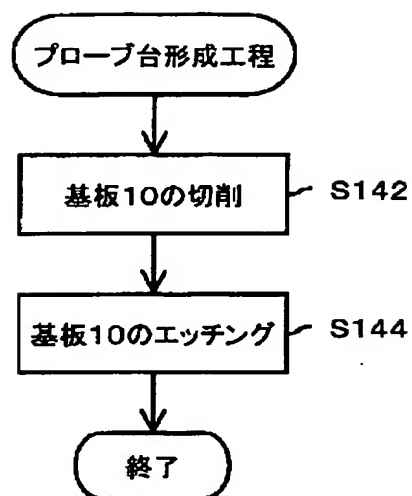


【図 21】

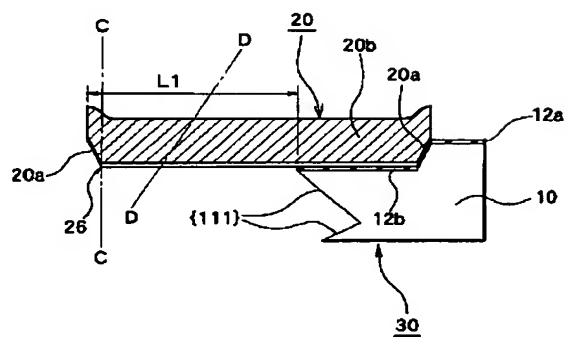
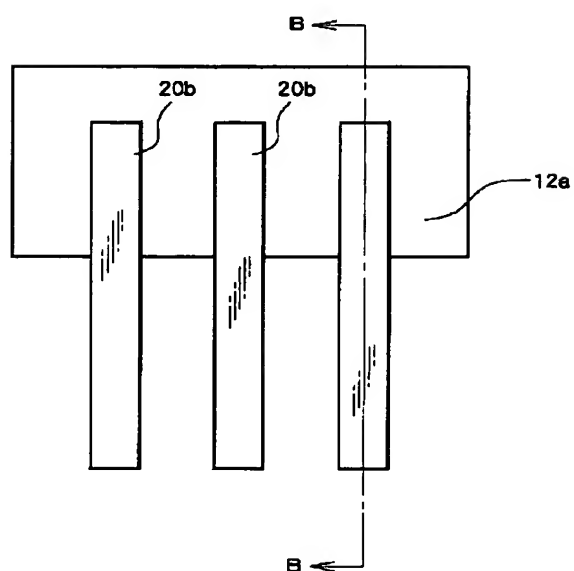




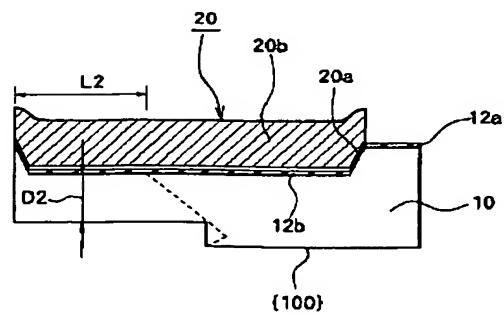
【圖 20】



【圖 23】



【图 24】



フロントページの続き

(72) 発明者 加沢 エリト  
東京都北区西が丘三丁目13番10号 東京都  
立産業技術研究所内

(72) 発明者 上野 武司  
東京都北区西が丘三丁目13番10号 東京都  
立産業技術研究所内  
Fターム(参考) 2G011 AA17 AA21 AB06 AB07 AC14  
AE03  
4M106 BA01 DD10